

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-282270

(43)公開日 平成6年(1994)10月7日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 1 0 H 7/02		8622-5H	G 1 0 H 7/ 00	5 2 1 T
		8622-5H		5 2 1 B

審査請求 未請求 請求項の数 2 O.L (全 12 頁)

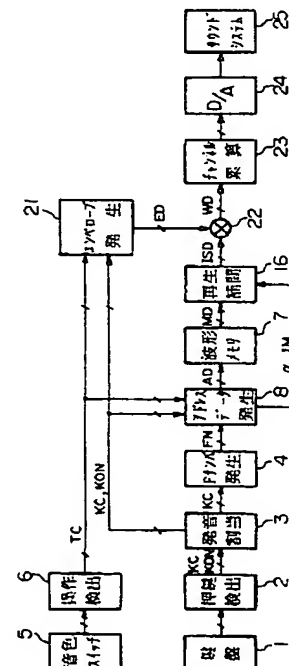
(21)出願番号	特願平5-68873	(71)出願人	000004075 ヤマハ株式会社 静岡県浜松市中沢町10番1号
(22)出願日	平成5年(1993)3月26日	(72)発明者	和智 正忠 静岡県浜松市中沢町10番1号 ヤマハ株式 会社内
		(72)発明者	清水 正宏 静岡県浜松市中沢町10番1号 ヤマハ株式 会社内
		(74)代理人	弁理士 志賀 正武 (外2名)

(54)【発明の名称】 波形発生装置

(57)【要約】

【目的】 波形メモリからアドレスの間隔を開けてサンプルデータを読み出しも楽音波形信号を再現でき、また楽音波形信号を部分的に再現することもできる波形発生装置を提供する。

【構成】 波形メモリ7には、楽音波形について、 $n$ 番目および $(n+2)$ 番目のサンプルデータと、 $(n+1)$ 番目のサンプルデータから $n$ 番目と $(n+1)$ 番目のサンプルデータとの平均を減算した差分データとがあらかじめ記憶されている。アドレスデータ発生回路8は、波形メモリ7から $n$ 番目および $(n+2)$ 番目のサンプルデータ並びに差分データとを読み出すためのアドレスデータADを発生する。再生補間回路16は、波形メモリ7から読み出された $n$ 番目および $(n+2)$ 番目のサンプルデータ並びに差分データに基づいて、 $(n+1)$ 番目のサンプルデータを再生するとともに、各サンプルデータ間のデータの補間を行う。



## 【特許請求の範囲】

【請求項1】 所定の楽音波形について、 $n$  番目 ( $n = 0, 1, 2, \dots$ ) のサンプル点のサンプルデータと、 $(n+2)$  番目のサンプル点のサンプルデータと、 $(n+1)$  番目のサンプル点のサンプルデータから前記  $n$  番目のサンプル点のサンプルデータと前記  $(n+1)$  番目のサンプル点のサンプルデータとの平均を減算した減算結果である差分データとがあらかじめ記憶されたサンプルデータ記憶手段と、

該サンプルデータ記憶手段から前記  $n$  番目のサンプル点のサンプルデータ、前記  $(n+2)$  番目のサンプル点のサンプルデータおよび前記差分データとを読み出すためのアドレスデータを発生するアドレスデータ発生手段と、

前記サンプルデータ記憶手段から読み出された前記  $n$  番目のサンプル点のサンプルデータ、前記  $(n+2)$  番目のサンプル点のサンプルデータおよび前記差分データに基づいて、前記  $(n+1)$  番目のサンプル点のサンプルデータを再生する再生手段とを具備することを特徴とする波形発生装置。

【請求項2】 前記再生手段は、さらに、各サンプルデータ間のデータの補間を行うことを特徴とする請求項1記載の波形発生装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】この発明は、電子楽器等に用いられる波形発生装置に関し、特に、楽音波形に対応したサンプルデータを圧縮して波形メモリに記憶し、波形メモリからそのサンプルデータを順次読み出してそれらに所定の演算を施すことにより所望の楽音波形を発生させる波形発生装置に関する。

## 【0002】

【従来の技術】従来の波形発生装置を用いた電子楽器としては、以下に示すものがあった。まず、発音開始から終了に至るまでの複数周期からなる楽音波形データの各サンプル点に関して、隣接するサンプル点間の振幅値の差分データを仮数部データと指数部データとからなる浮動小数点表示でそれぞれ表し、これを各サンプル点に対応した波形メモリのアドレスにあらかじめ記憶しておく。そして、鍵盤によって発生すべき楽音の音高が指定されると、アドレスデータ発生回路が、指定された音高に対応するレートで順次変化するアドレスデータを発生して波形メモリに供給するので、波形メモリからは、供給されたアドレスデータに対応したアドレスから仮数部データと指数部データとからなるサンプルデータが順次読み出される。

【0003】次に、波形メモリから読み出された仮数部データと指数部データとは、浮動型ディジタル・アナログ変換回路において、浮動小数点表示から各サンプル点毎の差分データの実数値にアナログ変換される。そし

て、得られた各サンプル点毎の差分データの実数値は、アナログアキュムレータにおいて、累積的に加減算されることにより、各サンプル点毎の波形振幅値のアナログの楽音波形信号となり、サウンドシステムに供給され、これにより、楽音が発生される。以上説明したサンプルデータの圧縮方式は、浮動小数点型の差分パルス符号変調 (Differential Pulse Code Modulation: DPCM) 方式と呼ばれるものである。なお、上述した技術の詳細については、たとえば、本出願人が先に提案した電子楽器における波形発生装置の公報 (特開平4-3556号公報) を参照されたい。

## 【0004】

【発明が解決しようとする課題】ところで、上述した従来の波形発生装置においては、浮動小数点型のDPCM方式でサンプルデータを圧縮して波形メモリに記憶しているため、隣接するサンプル点間の差分データをすべて波形メモリから順次読み出すとともに、アナログアキュムレータにおいて累積的に加減算しなければ、楽音波形信号が再現できないという欠点があった。

【0005】したがって、上述した従来の波形発生装置においては、たとえば、現在発生している楽音より1オクターブ高い楽音を発生するために、波形メモリの読み出すべきアドレスを一度に2つ進ませて波形メモリに記憶されているサンプルデータを読み出すような、アドレスの間隔を開けてサンプルデータを飛び飛びに読み出すことができない。すなわち、広い帯域で1つのサンプルデータを有効に使用することができない。また、楽音波形信号を部分的に再現することはもちろんできない。この発明は、このような背景の下になされたもので、波形メモリからアドレスの間隔を開けてサンプルデータを読み出しも楽音波形信号を再現でき、また楽音波形信号を部分的に再現することもできる波形発生装置を提供することを目的とする。

## 【0006】

【課題を解決するための手段】請求項1記載の発明は、所定の楽音波形について、 $n$  番目 ( $n = 0, 1, 2, \dots$ ) のサンプル点のサンプルデータと、 $(n+2)$  番目のサンプル点のサンプルデータと、 $(n+1)$  番目のサンプル点のサンプルデータから前記  $n$  番目のサンプル点のサンプルデータと前記  $(n+1)$  番目のサンプル点のサンプルデータとの平均を減算した減算結果である差分データとがあらかじめ記憶されたサンプルデータ記憶手段と、該サンプルデータ記憶手段から前記  $n$  番目のサンプル点のサンプルデータ、前記  $(n+2)$  番目のサンプル点のサンプルデータおよび前記差分データとを読み出すためのアドレスデータを発生するアドレスデータ発生手段と、前記サンプルデータ記憶手段から読み出された前記  $n$  番目のサンプル点のサンプルデータ、前記  $(n+2)$  番目のサンプル点のサンプルデータおよび前記差分データに基づいて、前記  $(n+1)$  番目のサンプル点

のサンプルデータを再生する再生手段とを具備することを特徴としている。請求項2記載の発明は、請求項1記載の発明において、前記再生手段は、さらに、各サンプルデータ間のデータの補間を行うことを特徴としている。

【0007】

【作用】請求項1記載の発明によれば、サンプルデータ記憶手段からアドレスの間隔を開けてサンプルデータを読み出しても、楽音波形が再現できる。請求項2記載の発明によれば、請求項1記載の発明において、さらに、各サンプルデータ間のデータの補間も行うことができる。

【0008】

【実施例】この発明の実施例について説明する前に、上述した課題を解決するための基本的な考え方について説明する。この発明においては、図7に示すように、 $n$ 番目 ( $n = 3k; k = 0, 1, 2, \dots$ ) のサンプル点、 $(n+1)$  番目のサンプル点、 $(n+2)$  番目のサンプル点、 $\dots$  のそれぞれ12ビットのサンプルデータをそれぞれサンプルデータ  $X(n)$ 、 $X(n+1)$ 、 $X(n+2)$ 、 $\dots$  とした場合、サンプルデータ  $X(n)$  と  $X(n+2)$  とは、図8に示すように、波形メモリのアドレス  $(2n/3)$  および  $(2n/3+1)$  のMSBから12ビット分のエリアにそのまま記憶する。

【0009】また、サンプルデータ  $X(n+1)$  については、そのまま記憶するのではなく、サンプルデータ  $X(n+1)$  からサンプルデータ  $X(n)$  と  $X(n+2)$  との平均  $\{ (X(n) + X(n+2)) / 2 \}$  を減算し、その減算結果の8ビット分を差分データ  $D(n+1)$  として、これを波形メモリに記憶する。つまり、差分データ  $D(n+1)$  は、(1)式で表される。

【数1】

$$D(n+1) = X(n+1) - \frac{X(n+2) + X(n)}{2} \dots (1)$$

\*

$$x = X(n+i) + \{ X(n+i+1) - X(n+i) \} \times \alpha \dots (3)$$

(3)式において、 $i$  は0, 1, 2のいずれかであり、また、 $\alpha$  は補間用アドレスデータ小数部といい、補間すべきデータの1つ前のサンプルデータが記憶されている波形メモリのアドレスから、この補間すべきデータが記憶されると仮想される波形メモリのアドレスまでのアドレス上の間隔を表している。

※ 【数4】

$$\begin{aligned} x_0 &= X(n) + \{ X(n+1) - X(n) \} \times \alpha \\ &= X(n) + \left\{ D(n+1) + \frac{X(n+2) + X(n)}{2} - X(n) \right\} \times \alpha \\ &= X(n) + \left\{ D(n+1) + \frac{X(n+2) - X(n)}{2} \right\} \times \alpha \dots (4) \end{aligned}$$

また、サンプルデータ  $X(n+1)$  と  $X(n+2)$  との間のデータ  $x_1$  は、(3)式に  $i = 1$  および(2)式を代入することにより得られる(5)式に基づいて求め

※ 【0010】具体的には、図8に示すように、差分データ  $D(n+1)$  のLSBから4ビット分のデータ  $D(n+1)$  Lを波形メモリのアドレス  $(2n/3)$ 、すなわち、サンプルデータ  $X(n)$  が記憶されたアドレスのLSBから4ビット分のエリアに記憶し、差分データ  $D(n+1)$  のMSBから4ビット分のデータ  $D(n+1)$  Hを波形メモリのアドレス  $(2n/3+1)$ 、すなわち、サンプルデータ  $X(n+2)$  が記憶されたアドレスのLSBから4ビット分のエリアに記憶する。なお、以下、波形メモリの1つのアドレスに記憶されているデータをメモリデータMDと呼ぶことにする。また、データ  $D(n+1)$  Lの記憶エリアとデータ  $D(n+1)$  Hの記憶エリアとは交換してもよい。

【0011】そして、サンプルデータ  $X(n)$  と  $X(n+2)$  とは、波形メモリから読み出されたメモリデータMDからそのまま取り出し、サンプルデータ  $X(n+1)$  は、メモリデータMDから取り出されたサンプルデータ  $X(n)$  および  $X(n+2)$  並びに差分データ  $D(n+1)$  を、(1)式を変形した(2)式に代入して求める。これにより、サンプルデータ  $X(n+1)$  が再生される。

【数2】

$$X(n+1) = D(n+1) + \frac{X(n+2) + X(n)}{2} \dots (2)$$

【0012】また、サンプルデータ  $X(n)$  と  $X(n+1)$  との間のデータ  $x_0$ 、サンプルデータ  $X(n+1)$  と  $X(n+2)$  との間のデータ  $x_1$  およびサンプルデータ  $X(n+2)$  と  $X(n+3)$  との間のデータ  $x_2$  の一次補間は、以下に示す(3)式に基づいて行う。

【数3】

※ 【0013】まず、サンプルデータ  $X(n)$  と  $X(n+1)$  との間のデータ  $x_0$  は、(3)式に  $i = 0$  および(2)式を代入することにより得られる(4)式に基づいて求める。以下、このデータ  $x_0$  の補間を補間モード0という。

※ 【数4】

$$\begin{aligned} x_0 &= X(n) + \{ X(n+1) - X(n) \} \times \alpha \\ &= X(n) + \left\{ D(n+1) + \frac{X(n+2) + X(n)}{2} - X(n) \right\} \times \alpha \\ &= X(n) + \left\{ D(n+1) + \frac{X(n+2) - X(n)}{2} \right\} \times \alpha \dots (4) \end{aligned}$$

る。以下、このデータ  $x_1$  の補間を補間モード1という。

【数5】

$$\begin{aligned}
 x_1 &= X(n+1) + \{X(n+2) - X(n+1)\} \times \alpha \\
 &= D(n+1) + \frac{X(n+2) + X(n)}{2} - \left\{ D(n+1) + \frac{X(n+2) - X(n)}{2} \right\} \times \alpha \\
 &= X(n+2) + \left\{ D(n+1) - \frac{X(n+2)}{2} - \frac{X(n)}{2} \right\} \times (1-\alpha) \cdots (5)
 \end{aligned}$$

さらに、サンプルデータ $X(n+2)$ と $X(n+3)$ との間のデータ $x_2$ は、(3)式に $i=2$ を代入することにより得られる(6)式に基づいて求める。以下、この\*

\*データ $x_2$ の補間を補間モード2という。

【数6】

$$x_2 = X(n+2) + \{X(n+3) - X(n+2)\} \times \alpha \cdots (6)$$

【0014】以上説明した方法によってサンプルデータを波形メモリに記憶するとともに、読み出すようにすれば、従来のように差分データを累積的に加減算しなくても、波形メモリの任意の隣接したアドレスに記憶された32ビット分のメモリデータMDを読み出して上記

(2)および(4)～(6)式に代入するだけで、所望の楽音波形を部分的に再現することができるとともに、サンプルデータ間の一次補間もできる。

【0015】以下、図面を参照して、この発明の実施例について説明する。図1はこの発明の第1の実施例による波形発生装置を適用した電子楽器の構成を表すブロック図である。1は複数のキーからなる鍵盤、2は押鍵検出回路であり、鍵盤1のキーが押鍵操作されたことを検出し、そのキーに対応したキーコードKCを出力するとともに、演奏者がキーを押鍵操作している間、キーオン信号KONを出力する。

【0016】3は発音割当回路である。この実施例においては、16個の発音チャンネル1～16が設けられるとともに、各発音チャンネル毎にそれぞれタイムスロットが割り当てられており、複数の楽音が同時発音可能に構成されている。そして、発音割当回路3は、入力されたキーコードKCおよびキーオン信号KONを16個の発音チャンネル1～16のいずれかに割り当てるとともに、各発音チャンネルに割り当てられたタイムスロットのタイミングでキーコードKCおよびキーオン信号KONを時分割で出力する。

【0017】Fナンバ発生回路4は、鍵盤1の各キーの音高周波数に比例した数値(Fナンバ)FNをキーの数だけ記憶しており、キーコードKCを、各発音チャンネル1～16に割り当てられたタイムスロットのタイミングで、押鍵されたキーに対応したFナンバFNに変換して出力する。5はピアノ、ギター、あるいはオルガン等の音色に対応して設けられ、これらの音色を選択するための音色スイッチ、6は操作検出回路であり、各音色スイッチ5が操作されたことを検出し、その音色スイッチ5に対応した音色番号TCを出力する。

【0018】波形メモリ7は、図7および図8を参照して既に説明したサンプルデータの圧縮方法により圧縮された、アタック部およびその後の繰り返し部からなるサンプルデータSDと、差分データとによって構成されるメモリデータMDが音色に応じて複数記憶されている。

10 アドレスデータ発生回路8は、波形メモリ7から所定の音色のメモリデータMDを読み出すためのアドレスデータAD等を発生する。

【0019】ここで、図2にアドレスデータ発生回路8の構成を表すブロック図を示す。この図において、スタートカウンタ値発生回路9は、キーコードKCおよび音色番号TCに応じて、読出カウンタ10がカウントを開始すべきスタートカウンタ値STを出力する。読出カウンタ10は、キーオン信号KONが入力されたタイミングで、スタートカウンタ値発生回路9から出力されているスタートカウンタ値STが設定されるとともに、そのスタートカウンタ値STからカウントを開始し、1カウント当たりFナンバFNの値だけカウントアップされるカウント値CNTを出力する。

【0020】カウントループ制御回路11は、キーコードKCおよび音色番号TCに応じて、カウントを繰り返すべきカウントループのスタートカウンタ値LSTおよびエンドカウンタ値LENが設定される。カウントループ制御回路11は、カウント値CNTを常時監視し、カウント値CNTがエンドカウンタ値LENまでカウントアップされた場合には、スタートカウンタ値LSTを読出カウンタ10にセットする。これにより、読出カウンタ10は、スタートカウンタ値LSTから再びカウントアップする。このように構成されているのは、この実施例においては、上述したように、波形メモリ7には、サンプルデータSDとして、アタック部とその後の繰り返し部とが記憶されているからである。

【0021】3倍器12は、カウント値CNTの小数部CNT<sub>0</sub>を3倍し、その演算結果の整数部を、上述した補間モード0～2のいずれかを指定する2ビットの補間モードデータIM(IM=00, 01, 10)として出力するとともに、演算結果の小数部を、上述した補間用アドレスデータ小数部 $\alpha$ として出力する。2倍器13は、カウント値CNTの整数部CNT<sub>1</sub>を2倍し、その演算結果を加算器14に供給する。加算器14は、補間モードデータIMの最上位ビットIM<sub>MSB</sub>が「1」である場合のみ、2倍器13の演算結果に1を加算する。加算器15は、図3(b)および(c)に示すクロック $\phi_1$ および $\phi_2$ を入力し、クロック $\phi_1$ の立ち上がりのタイミングで、加算器14の演算結果に1を加算し、その演算結果を波形メモリ7にアドレスデータADとして供給

する。

【0022】これにより、波形メモリ7からは、音色番号TCに応じた音色を有するサンプルデータSDおよび差分データによって構成されるメモリデータMDが、アドレスデータADによって指定されたアドレスから読み出される。なお、図3(a)は、複数の発音チャンネルに対応したタイムスロットを表しており、波形メモリ7からは、各発音チャンネル毎に、隣接する2つのアドレスに記憶されている32ビット分のメモリデータMDがクロック $\phi_1$ および $\phi_2$ のタイミングで時分割で読み出される。

【0023】次に、図1において、16は波形メモリ7から読み出されたメモリデータMDからサンプルデータSDを再生するとともに、補間モード0~2に応じて、サンプルデータSD間の補間を行う再生補間回路である。ここで、図4に再生補間回路16の構成を表すブロック図を示す。この図において、ラッチ17は、クロック $\phi_1$ のタイミングで、波形メモリ7のアドレスデータADによって指定されたアドレスに記憶されているメモリデータMD<sub>1</sub>を一時保持する。ラッチ18は、クロック $\phi_2$ のタイミングで、波形メモリ7のアドレスデータADによって指定されたアドレスに記憶されているメモリデータMD<sub>2</sub>を一時保持する。

【0024】サンプルデータ取出回路19は、ラッチ17および18に一時保持されたメモリデータMD<sub>1</sub>およびMD<sub>2</sub>並びに上述した(2)式に基づいて、サンプルデータSD<sub>1</sub>およびSD<sub>2</sub>を取り出して補間回路20に供給する。補間回路20は、サンプルデータSD<sub>1</sub>およびSD<sub>2</sub>、補間モードデータIM、補間用アドレスデータ小数部 $\alpha$ 並びに上述した(4)~(6)式に基づいて、サンプルデータSDの一次直線補間を行い、補間済サンプルデータISDを出力する。

【0025】次に、図1において、エンベロープ発生回路21は、キーコードKCおよび音色番号TCによって指定される種類の波形を有するエンベロープデータEDを、キーオン信号KONのタイミングで発生する。乗算器22は、補間済サンプルデータISDとエンベロープデータEDとを乗算して楽音波形データWDを出力する。チャンネル累算回路23は、楽音波形データWDを各発音チャンネル毎に累算して出力する。

【0026】D/Aコンバータ24は、各発音チャンネル毎に累算された楽音波形データをアナログの楽音波形信号に変換して出力する。サウンドシステム25は、D/Aコンバータ24から出力される各発音チャンネル毎の楽音波形信号に対してフィルタリングを施し、不要ノイズの除去、あるいは効果音処理などを施した後、増幅して楽音を出力する。以上説明した構成のうち、波形メモリ7、アドレスデータ発生回路8および再生補間回路16が波形発生装置を構成している。

【0027】次に、この第1の実施例による電子楽器の

動作について図5に示すタイミングチャートを参照して説明する。なお、図5に示すタイミングチャートは、説明を簡単にするために、1つの発音チャンネルおける処理が連続して実行されるように表現しているが、実際には、図3に示すように、各発音チャンネル1~16における処理が対応するタイムスロットのタイミングで時分割で実行される。したがって、1つのタイムスロットにおいては、図5に示す補間区間の1つの区画についての処理が実行される。

【0028】まず、演奏者がたとえば、ピアノの音色に対応した音色スイッチ5を操作すると、操作検出回路6は、ピアノの音色に対応した音色スイッチ5が操作されたことを検出し、その音色スイッチ5に対応した音色番号TCを出力する。そして、演奏者が鍵盤1の、たとえば、C<sub>4</sub>音に対応したキーを押鍵操作すると、押鍵検出回路2は、鍵盤1のC<sub>4</sub>音に対応したキーが押鍵操作されたことを検出し、そのキーに対応したキーコードKCを出力するとともに、演奏者がキーを押鍵操作している間、キーオン信号KONを出力する。

【0029】これにより、発音割当回路3は、入力された、鍵盤1のC<sub>4</sub>音に対応したキーのキーコードKCおよびキーオン信号KONを発音チャンネル1~16のいずれかに割り当てるとともに、その発音チャンネルに割り当てられたタイムスロットのタイミングでキーコードKCおよびキーオン信号KONを時分割で出力する。今、すべての発音チャンネル1~16において楽音が発音されていない状態であるとし、鍵盤1のC<sub>4</sub>音に対応したキーのキーコードKCおよびキーオン信号KONは、発音チャンネル1に割り当てられ、その発音チャンネル1に割り当てられたタイムスロットのタイミングで時分割で出力されるものとする。

【0030】次に、Fナンバ発生回路4は、鍵盤1のC<sub>4</sub>音に対応したキーのキーコードKCを、発音チャンネル1に割り当てられたタイムスロットのタイミングで、C<sub>4</sub>音に対応したFナンバFNに変換して出力する。今、C<sub>4</sub>音に対応したFナンバFNは、「1」であるとする。これにより、アドレスデータ発生回路8において、スタートカウント値発生回路9は、ピアノの音色に対応した音色スイッチ5の音色番号TCに応じて、読出カウンタ10がカウントを開始すべきスタートカウント値STを出力する。このスタートカウント値STは、波形メモリ7の、ピアノの音色に対応するメモリデータが記憶されているエリアの先頭アドレスを示している。今、ピアノの音色に対応したメモリデータMDは、波形メモリ7のアドレス0から順に記憶されているものとする。したがって、スタートカウント値STは「0.0000」(この実施例においては、カウント値CNTの小数部CNTは小数第4位までとする)である。

【0031】なお、実際には、波形メモリ7には、各音色毎で、かつ、各音域(たとえば、2オクターブ毎の音

域)毎に、当該音色および音域に対応する楽音波形に関するデータをあらかじめ記憶しておき、音色番号TCとキーコードKCとによって対応する音色および音域の楽音波形に関するデータを指定して読み出すものである。また、この指定は、スタートカウント値ST、カウントループのスタートカウント値LSTおよびエンドカウント値LENを設定することによって行われる。しかしながら、この実施例においては、便宜上、波形メモリ7には、全音域共通で各音色に対応してのみ楽音波形に関するデータが記憶されているものとして説明する。

【0032】したがって、読出カウンタ10は、キーオン信号KONが入力されたタイミングで、スタートカウント値発生回路9から出力されているスタートカウント値ST(「0.0000」)が設定されるとともに、そのスタートカウント値ST(「0.0000」)からカウントを開始し、1カウント当たりFナンバFN(「1」)の値だけカウントアップされるカウント値CNTを出力する。これにより、カウント値CNTの整数部CNT<sub>i</sub>は、図5に示すように、0, 1, 2, ...とカウントアップされていく。

【0033】また、カウントループ制御回路11は、音色番号TCに応じて、今の場合、ピアノの音色に対応するカウントループのスタートカウント値LSTおよびエンドカウント値LENが設定される。カウントループ制御回路11は、カウント値CNTを常時監視し、カウント値CNTがエンドカウント値LENまでカウントアップされた場合には、スタートカウント値LSTを読出カウンタ10にセットする。これにより、読出カウンタ10は、スタートカウント値LSTから再びカウントアップする。

【0034】3倍器12は、カウント値CNTの小数部CNT<sub>f</sub>(0.0001~0.9999)を3倍し、図5に示すように、その演算結果(0.0003~2.9997)の整数部(0, 1, 2, 0, 1, 2, ...)を、補間モード0~2のいずれかを指定する2ビットの補間モードデータIM(IM=00, 01, 10)として出力するとともに、演算結果の小数部(0.0003~0.9997)を、補間用アドレスデータ小数部αとして出力する。

【0035】いっぽう、2倍器13は、カウント値CNTの整数部CNT<sub>i</sub>(0, 1, 2, ...)を2倍し、その演算結果(0, 2, 4, ...)を加算器14に供給する。これにより、加算器14は、補間モードデータIMの最上位ビットIM<sub>MSB</sub>が「1」である場合、すなわち、補間モード2である場合のみ、2倍器13の演算結果(0, 2, 4, ...)に1を加算する。したがって、加算器14からは演算結果(0, 0, 1, 2, 2, 3, 4, 4, 5, ...)が順次出力される。

【0036】そして、加算器15は、図3(b)および(c)に示すクロックφ<sub>1</sub>およびφ<sub>2</sub>を入力し、クロック

φ<sub>1</sub>の立ち上がりのタイミングで、加算器14の演算結果(0, 0, 1, 2, 2, 3, 4, 4, 5, ...)に1を加算し、図5に示すように、その演算結果(1, 0, 1, 0, 2, 1, 3, 2, 3, 2, 4, 3, 5, 4, 5, 4, 6, 5, ...)を波形メモリ7にアドレスデータADとして供給する。

【0037】これにより、波形メモリ7からは、音色番号TCに応じたピアノの音色を有するサンプルデータSDおよび差分データによって構成されるメモリデータMDが、アドレスデータAD(1, 0, 1, 0, 2, 1, 3, 2, 3, 2, 4, 3, 5, 4, 5, 4, 6, 5, ...)によって指定されたアドレスから読み出される。すなわち、図5に示すように、第1番目および第2番目のタイムスロットでは、波形メモリ7のアドレス1に記憶されたサンプルデータ番号(2)のサンプルデータSD(サンプルデータx(2))と、差分データ番号(1)の差分データD(1)HとからなるメモリデータMD、およびアドレス0に記憶されたサンプルデータ番号(0)のサンプルデータSD(サンプルデータx(0))と、差分データ番号(1)の差分データD(1)LとからなるメモリデータMDが続けて読み出される。

【0038】次いで、第3番目のタイムスロットでは、波形メモリ7のアドレス2に記憶されたサンプルデータ番号(3)のサンプルデータSD(サンプルデータx(3))と、差分データ番号(4)の差分データD(4)LとからなるメモリデータMD、およびアドレス1に記憶されたサンプルデータ番号(2)のサンプルデータSD(サンプルデータx(2))と、差分データ番号(1)の差分データD(1)HとからなるメモリデータMDが読み出され、以下同様にメモリデータMDが順次読み出される。

【0039】次に、再生補間回路16において、ラッチ17は、第1番目のタイムスロットのクロックφ<sub>1</sub>のタイミングで、波形メモリ7のアドレスデータADによって指定されたアドレスに記憶されているメモリデータMD<sub>1</sub>、今の場合、波形メモリ7のアドレス1に記憶されたサンプルデータx(2)と、差分データD(1)HとからなるメモリデータMDを一時保持する。

【0040】いっぽう、ラッチ18は、第1番目のタイムスロットのクロックφ<sub>2</sub>のタイミングで、波形メモリ7のアドレスデータADによって指定されたアドレスに記憶されているメモリデータMD<sub>0</sub>、今の場合、波形メモリ7のアドレス0に記憶されたサンプルデータx(0)と、差分データD(1)LとからなるメモリデータMDを一時保持する。

【0041】次に、サンプルデータ取出回路19は、ラッチ17および18に一時保持されたメモリデータMD<sub>1</sub>およびMD<sub>0</sub>並びに上述した(2)式に基づいて、サンプルデータSD<sub>1</sub>およびSD<sub>0</sub>。(今の場合、サンプルデー

10

20

30

40

50

11

タ $x(0)$ および $x(1)$ を取り出して補間回路20に供給する。これにより、補間回路20は、サンプルデータSD、およびSD。(今の場合、サンプルデータ $x(0)$ および $x(1)$ )、補間モードデータIM(今の場合、0)および補間用アドレスデータ小数部 $\alpha$ 並びに(4)式に基づいて、サンプルデータ $X(0)$ と $X(1)$ との間のデータ $x_0$ の一次直線補間を行い、補間済サンプルデータISDを出力する。

【0042】次に、発音チャンネル1の第2番目のタイムスロットでは、再生補間回路16のラッチ17は、第1番目のタイムスロットの時と同様、クロック $\phi_1$ のタイミングで、波形メモリ7のアドレス1に記憶されたサンプルデータ $x(2)$ と、差分データD(1)HとからなるメモリデータMDを一時保持する。いっぽう、ラッチ18は、第1番目のタイムスロットの時と同様、クロック $\phi_2$ のタイミングで、波形メモリ7のアドレス0に記憶されたサンプルデータ $x(0)$ と、差分データD(1)LとからなるメモリデータMDを一時保持する。

【0043】次に、サンプルデータ取出回路19は、ラッチ17および18に一時保持された2つのメモリデータMDおよび(2)式に基づいて、サンプルデータ $x(1)$ および $x(2)$ を取り出して補間回路20に供給する。これにより、補間回路20は、サンプルデータ $x(1)$ および $x(2)$ 、補間モードデータIM(今の場合、1)および補間用アドレスデータ小数部 $\alpha$ 並びに(5)式に基づいて、サンプルデータ $X(1)$ と $X(2)$ との間のデータ $x_1$ の一次直線補間を行い、補間済サンプルデータISDを出力する。

【0044】さらに、発音チャンネル1の第3番目のタイムスロットでは、再生補間回路16のラッチ17は、クロック $\phi_1$ のタイミングで、波形メモリ7のアドレス2に記憶されたサンプルデータ $x(3)$ と、差分データD(4)LとからなるメモリデータMDを一時保持する。いっぽう、ラッチ18は、クロック $\phi_2$ のタイミングで、波形メモリ7のアドレス1に記憶されたサンプルデータ $x(2)$ と、差分データD(1)HとからなるメモリデータMDを一時保持する。

【0045】次に、サンプルデータ取出回路19は、ラッチ17および18に一時保持された2つのメモリデータMDおよび(2)式に基づいて、サンプルデータ $x(2)$ および $x(3)$ を取り出して補間回路20に供給する。これにより、補間回路20は、サンプルデータ $x(2)$ および $x(3)$ 、補間モードデータIM(今の場合、2)および補間用アドレスデータ小数部 $\alpha$ 並びに(6)式に基づいて、サンプルデータ $X(2)$ と $X(3)$ との間のデータ $x_2$ の一次直線補間を行い、補間済サンプルデータISDを出力する。以上説明したサンプルデータSDの読み出しおよび補間済サンプルデータISDの補間動作を各発音チャンネル1~16の各タイムスロット毎に順次時分割で行う。

12

【0046】次に、エンベロープ発生回路21が、各発音チャンネル1~16毎に、キーコードKCおよび音色番号TCによって指定される種類のエンベロープ波形を有するエンベロープデータEDを、キーオン信号KONのタイミングで発生するので、乗算器22は、補間済サンプルデータISDとエンベロープデータEDとを乗算して楽音波形データWDを出力し、チャンネル累算回路23は、楽音波形データWDを各発音チャンネル1~16毎に累算して出力する。

【0047】これにより、D/Aコンバータ24が、各発音チャンネル1~16毎に累算された楽音波形データをアナログの楽音波形信号に変換して出力するので、サウンドシステム25は、D/Aコンバータ24から出力される各発音チャンネル1~16毎の楽音波形信号に対してフィルタリングを施し、不要ノイズの除去、あるいは効果音処理などを施した後、増幅して楽音を出力する。

【0048】また、音色スイッチ5をピアノの音色に設定したままで、演奏者が鍵盤1の、たとえば、C<sub>4</sub>音に対応したキー、すなわち、C<sub>4</sub>音より1オクターブ高いキーを押鍵操作すると、押鍵検出回路2は、鍵盤1のC<sub>4</sub>音に対応したキーが押鍵操作されたことを検出し、そのキーに対応したキーコードKCを出力するとともに、演奏者がキーを押鍵操作している間、キーオン信号KONを出力する。

【0049】これにより、発音割当回路3は、入力された、鍵盤1のC<sub>4</sub>音に対応したキーのキーコードKCおよびキーオン信号KONを発音チャンネル1~16のいずれかに割り当てるとともに、その発音チャンネルに割り当てられたタイムスロットのタイミングでキーコードKCおよびキーオン信号KONを時分割で出力する。今、発音チャンネル1のみに鍵盤1のC<sub>4</sub>音に対応したキーのキーコードKCおよびキーオン信号KONが割り当てられているとし、鍵盤1のC<sub>4</sub>音に対応したキーのキーコードKCおよびキーオン信号KONは、発音チャンネル2に割り当てられ、その発音チャンネル2に割り当てられたタイムスロットのタイミングで時分割で出力されるものとする。

【0050】次に、Fナンバ発生回路4は、鍵盤1のC<sub>4</sub>音に対応したキーのキーコードKCを、発音チャンネル2に割り当てられたタイムスロットのタイミングで、C<sub>4</sub>音に対応したFナンバFNに変換して出力する。既に述べたように、C<sub>4</sub>音に対応したFナンバFNを「1」としたので、C<sub>4</sub>音に対応したFナンバFNは、「2」となる。

【0051】これにより、アドレスデータ発生回路8において、スタートカウント値発生回路9は、ピアノの音色に対応した音色スイッチ5の音色番号TCに応じて、読出カウンタ10がカウントを開始すべきスタートカウント値STを出力する。したがって、上述した場合と同

様、スタートカウント値STは「0.0000」である。

【0052】したがって、読出カウンタ10は、キーオン信号KONが入力されたタイミングで、スタートカウント値発生回路9から出力されているスタートカウント値ST（「0.0000」）が設定されるとともに、そのスタートカウント値ST（「0.0000」）からカウントを開始し、1カウント当たりFナンバFN（「2」）の値だけカウントアップされるカウント値CNTを出力する。

【0053】これにより、カウント値CNTの整数部CNT<sub>i</sub>が0, 2, 4, ...とカウントアップされていくので、この場合には、上述した演奏者が鍵盤1のC<sub>4</sub>音に対応したキーを押鍵操作した場合のアドレスデータ発生回路8および再生補間回路16の動作のうちの、カウント値CNTの整数部CNT<sub>i</sub>が1, 3, 5, ...の時の動作を省いた動作が実行される。

【0054】以下、この動作の特徴的な部分についてのみ簡単に説明する。まず、2倍器13は、カウント値CNTの整数部CNT<sub>i</sub>（0, 2, 4, ...）を2倍し、その演算結果（0, 4, 8, ...）を加算器14に供給する。これにより、加算器14は、補間モードデータIMの最上位ビットIM<sub>msb</sub>が「1」である場合、すなわち、補間モード2である場合のみ、2倍器13の演算結果（0, 4, 8, ...）に1を加算する。したがって、加算器14からは演算結果（0, 0, 1, 4, 4, 5, 8, 8, 9, ...）が順次出力される。

【0055】そして、加算器15は、図3（b）および（c）に示すクロックφ<sub>1</sub>およびφ<sub>2</sub>を入力し、クロックφ<sub>1</sub>の立ち上がりのタイミングで、加算器14の演算結果（0, 0, 1, 4, 4, 5, 8, 8, 9, ...）に1を加算し、その演算結果（1, 0, 1, 0, 2, 1, 5, 4, 5, 4, 6, 5, 9, 8, 9, 8, 10, 9, ...）を波形メモリ7にアドレスデータADとして供給する。これにより、波形メモリ7からは、音色番号TCに応じたピアノの音色を有するサンプルデータSDおよび差分データによって構成されるメモリデータMDが、アドレスデータAD（1, 0, 1, 0, 2, 1, 5, 4, 5, 4, 6, 5, 9, 8, 9, 8, 10, 9, ...）によって指定されたアドレスから読み出される。

【0056】すなわち、上述した第1の実施例によれば、従来の波形発生装置においては実行不可能であった、現在発生している楽音より1オクターブ高い楽音を発生するために、波形メモリの読み出すべきアドレスを一度に2つ進ませて波形メモリに記憶されているサンプルデータを読み出すような、アドレスの間隔を開けてサンプルデータを読み出すことが実現可能となる。したがって、広い帯域で1つのサンプルデータを有効に使用することができる。

【0057】次に、この発明の第2の実施例について説明する。この第2の実施例においては、後述する再生補間回路26以外の構成は、上述した第1の実施例と同一である。図6はこの発明の第2の実施例による波形発生装置に用いられる再生補間回路26の構成を表すブロック図である。図6において、図4の各部に対応する部分には同一の符号を付け、その説明を省略する。

【0058】サンプルデータ取出回路27は、ラッチ17および18に一時保持されたメモリデータMD<sub>1</sub>およびMD<sub>0</sub>それぞれのMSBから12ビット分ずつをサンプルデータSD'およびSD'。として取り出すとともに、メモリデータMD<sub>1</sub>およびMD<sub>0</sub>それぞれのLSBから4ビット分ずつを組み合わせさせて差分データD<sub>0</sub>として取り出す。

【0059】減算器28は、サンプルデータSD'。からサンプルデータSD'。を減算する。除算器29は、補間モードデータIMが「00」および「01」の場合には、減算器28の演算結果を2で除算（2進数データの右シフト）し、補間モードデータIMが「10」の場合には、減算器28の演算結果をそのまま出力する。加減算器30は、補間モードデータIMが「00」の場合には、A入力端から入力された差分データD<sub>0</sub>と、B入力端から入力された除算器29の演算結果とを加算し、補間モードデータIMが「01」の場合には、A入力端から入力された差分データD<sub>0</sub>から、B入力端から入力された除算器29の演算結果を減算し、補間モードデータIMが「10」の場合には、B入力端から入力された除算器29の演算結果のみを出力する。

【0060】ビット反転器31は、補間モードデータIMが「00」および「10」の場合には、補間用アドレスデータ小数部αをそのまま出力し、補間モードデータIMが「01」の場合には、2進数の補間用アドレスデータ小数部αをビット反転して、（1-α）を出力する。乗算器32は、加減算器30の演算結果とビット反転器31の出力とを乗算する。セクタ33は、補間モードデータIMが「00」および「10」の場合には、B入力端から入力されたサンプルデータSD'。を選択して出力し、補間モードデータIMが「01」の場合には、サンプルデータSD'。を選択して出力する。加算器34は、セクタ33の出力と乗算器32の演算結果とを加算して、演算結果を補間済サンプルデータISDとしてする。上記構成要素28～34は、（4）～（6）式の演算を実現している。なお、動作については、上述した第1の実施例とほぼ同様であるので、その説明を省略する。

【0061】以上説明したように、上述した第1および第2の実施例によれば、従来のように差分データを累積的に加減算しなくても、波形メモリの任意の隣接したアドレスに記憶された32ビット分のメモリデータMDを読み出して上記（2）および（4）～（6）式に代入す

10

20

30

40

50



るだけで、所望の楽音波形を部分的に再現することができる。サンプルデータ間の一次補間もできる。

【００６２】また、上述した第１および第２の実施例によれば、波形メモリには、サンプルデータ $X(n)$ と $X(n+2)$ とをそのまま記憶するとともに、サンプルデータ $X(n+1)$ からサンプルデータ $X(n)$ と $X(n+2)$ との平均 $\{ (X(n) + X(n+2)) / 2 \}$ を減算し、その減算結果の８ビット分を差分データ $D(n+1)$ として記憶するようにしたので、楽音波形データなどのように、サンプリング周波数の $1/2$ の周波数帯域近傍の周波数成分がさほど多くない波形データを波形メモリに記憶する場合に都合がよい。

【００６３】以上、この発明の実施例を図面を参照して詳述してきたが、具体的な構成はこの実施例に限られるものではなく、この発明の要旨を逸脱しない範囲の設計の変更等があってもこの発明に含まれる。たとえば、上述した第１および第２の実施例においては、サンプルデータ $X(n)$ および $X(n+2)$ を１２ビットとし、差分データ $D(n+1)$ を８ビットとした例を示したが、これに限定されず、これらのデータのビット数は、楽音の音色等に応じて最適になるように選択して決めればよい。ただし、データを圧縮する必要上、差分データ $D(n+1)$ のビット数はサンプルデータ $X(n)$ および $X(n+2)$ のビット数より少なくする。

【 0 0 6 4 】

【発明の効果】以上説明したように、この発明によれば、波形メモリからアドレスの間隔を開けてサンプルデータを読み出しも、楽音波形信号を再現できるという効果がある。また、楽音波形信号を部分的に再現すること＊

＊もできるという効果がある。

【図面の簡単な説明】

【図１】 この発明の第１の実施例による波形発生装置を適用した電子楽器の構成を表すブロック図である。

【図2】 アドレスデータ発生回路8の構成を表すブロック図である。

【図3】 各発音チャンネルのタイムスロットとクロック $\phi_1$ および $\phi_2$ とのタイミングの一例を表す図である。

【図４】 再生補間回路１８の構成を表すブロック図である。

【図５】 この発明の第１の実施例による波形発生装置の動作の一例を表すタイミングチャートである。

【図 6】 この発明の第 2 の実施例による波形発生装置に用いられる再生補間回路 26 の構成を表すブロック図である。

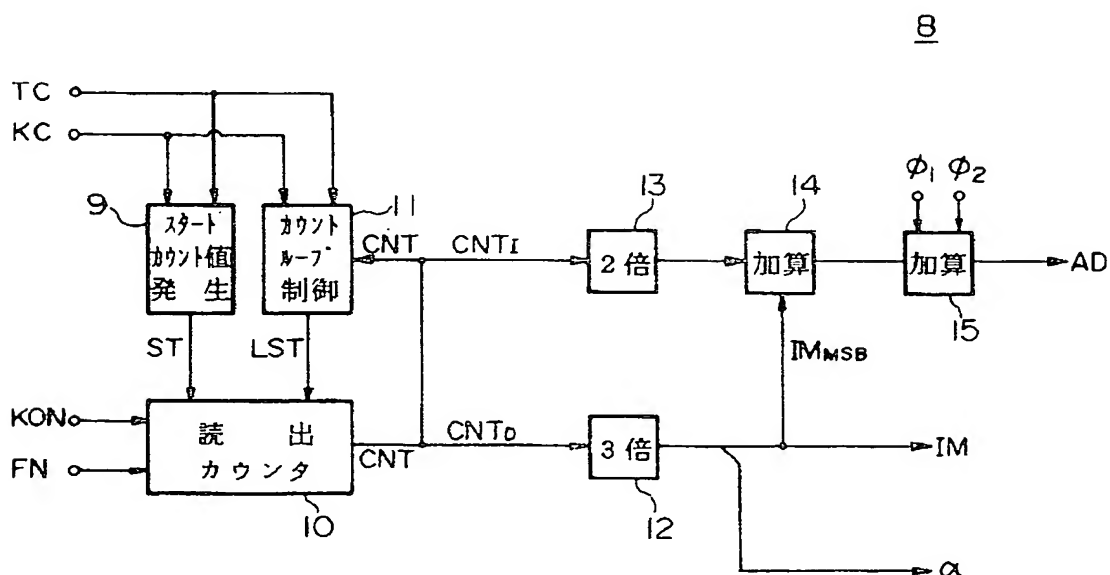
【図 7】 この発明の基本的な考え方を説明するための図である。

【図8】 図7に示す考え方に基ついて波形メモリにサンプルデータを記憶する一例を示す図である。

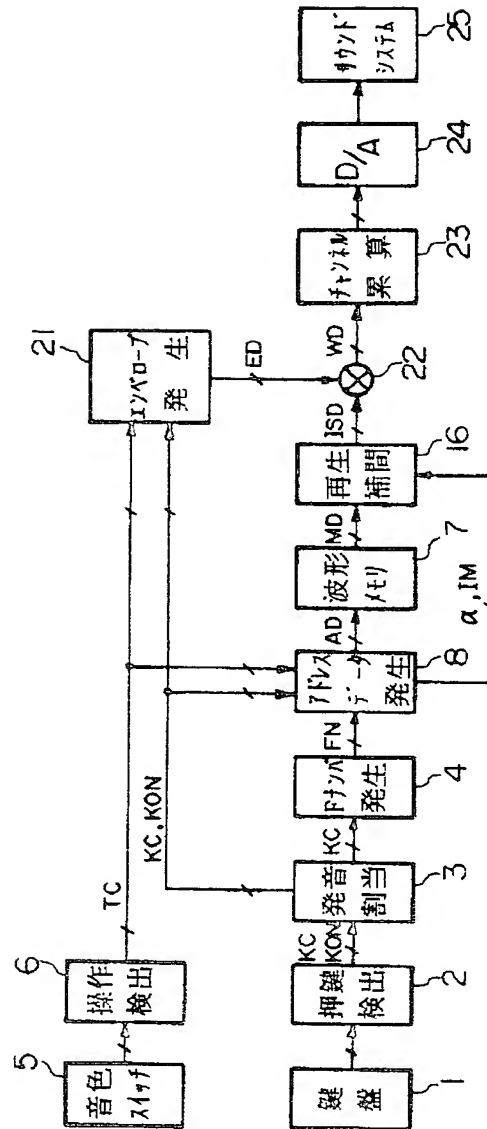
【符号の説明】

7……波形メモリ、8……アドレス発生回路、9……スタートカウント値発生回路、10……読出カウンタ、11……カウントループ制御回路、12……3倍器、13……2倍器、14、15、34……加算器、16、26……再生補間回路、17、18……ラッチ、19、27……サンプルデータ取出回路、20……補間回路、28……減算器、29……除算器、30……加減算器、31……ビット反転回路、32……乗算器、33……セレクタ。

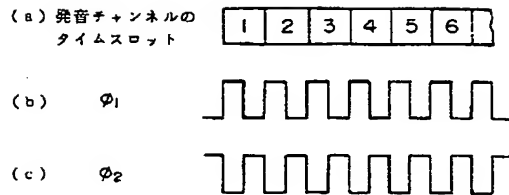
【圖 2】



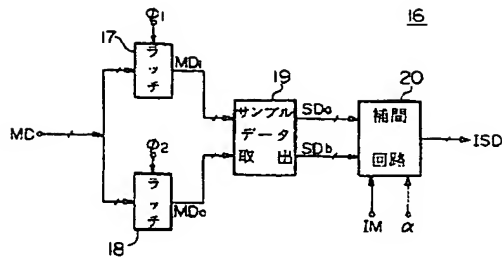
【図1】



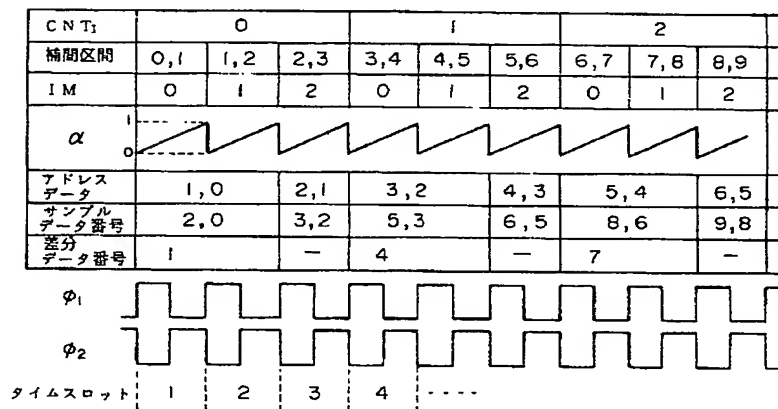
【図3】



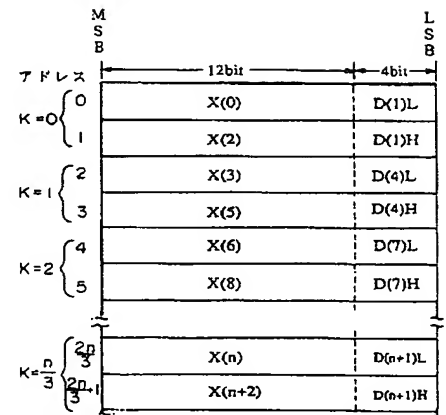
【図4】



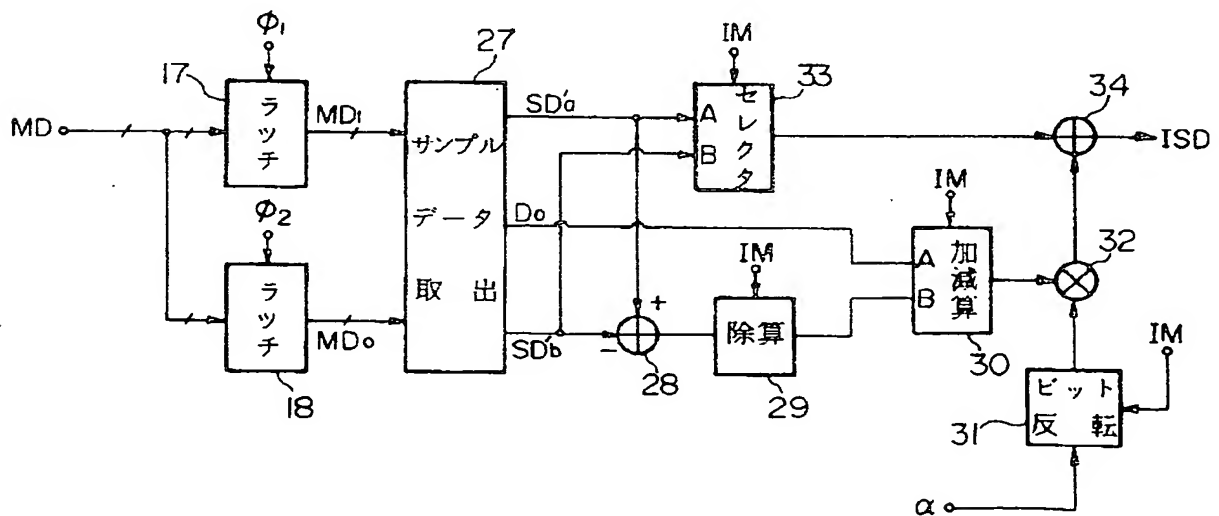
【図5】



【図8】



【図6】



(12)

特開平6-282270

[ 図 7 ]

